



page	adresse	nom	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	valeur à la mise sous tension	autres reset (*)		
120	1Eh	<b>ADRESH</b>	résultat du convertisseur A/N : 2 ou 8 MSB (selon ADCON1<ADFM>)								xxxx xxxx	uuuu uuuu		
120	9Eh	<b>ADRESL</b>	résultat du convertisseur A/N : 2 ou 8 LSB (selon ADCON1<ADFM>)								xxxx xxxx	uuuu uuuu		
114	1Fh	<b>ADCON0</b>	ADCS1	ADCS0	CHS2	CHS1	CHS0	GO/DONE		ADON	0000 00-0	0000 00-0		
115	9Fh	<b>ADCON1</b>	ADFM	ADCS2	VCFG1	VCFG0					0000 ----	0000 ----		
120	9Bh	<b>ANSEL</b>		AN6	AN5	AN4	AN3	AN2	AN1	AN0	-111 1111	-111 1111		
81	17h	<b>CCP1CON</b>			CCP1X	CCP1Y	CCP1M3	CCP1M2	CCP1M1	CCP1M0	--00 0000	--00 0000		
83	16h	<b>CCPR1H</b>	registre du module Capture/Compare/PWM : 8 bits les plus significatifs								xxxx xxxx	uuuu uuuu		
83	15h	<b>CCPR1L</b>	registre du module Capture/Compare/PWM : 8 bits les moins significatifs								xxxx xxxx	uuuu uuuu		
121	9Ch	<b>CMCON</b>	C2OUT	C1OUT	C2INV	C1INV	CIS	CM2	CM1	CM0	0000 0000	0000 0000		
130	2007	<b>CONFIG1</b>	adresses de mémoire programme (14 bits) pour la configuration de l'oscillateur, de la protection du code, etc...											
131	2008	<b>CONFIG2</b>												
127	9Dh	<b>CVRCON</b>	CVREN	CVROE	CVRR		CVR3	CVR2	CVR1	CVR0	000- 0000	000- 0000		
34	10Dh	<b>EEADR</b>	registre d'adresse de l'EEPROM (LSB)								LSB	xxxx xxxx	uuuu uuuu	
34	10Fh	<b>EEADRH</b>									MSB	---- -xxx	---- -uuu	
28	18Ch	<b>EECON1</b>	EEPGD				WRERR	WREN	WR	RD	x--x x000	x--x q000		
34	18Dh	<b>EECON2</b>	registre de contrôle de l'EEPROM (n'existe pas physiquement)										---- ----	---- ----
34	10Ch	<b>EEDATA</b>	registre de données de l'EEPROM								LSB	xxxx xxxx	uuuu uuuu	
34	10Eh	<b>EEDATH</b>									MSB	--xx xxxx	--uu uuuu	
26	04h*	<b>FSR</b>	pointeur d'adresse pour l'adressage indirect								xxxx xxxx	uuuu uuuu		
26	00h*	<b>INDF</b>	miroir du registre pointé par FSR (n'a pas d'existence physique)								xxxx xxxx	xxxx xxxx		
19	0Bh*	<b>INTCON</b>	GIE	PEIE	TMR0IE	INTE	RBIE	TMR0IF	INTF	RBIF	0000 000x	0000 000u		
18	80h	<b>OPTION</b>	RBPU/	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111		
40	8Fh	<b>OSCCON</b>		IRCF2	IRCF1	IRCF0	OSTS	IOFS	SCS1	SCS0	-000 0000	-uuu uuuu		
38	90h	<b>OSCTUNE</b>			TUN5	TUN4	TUN3	TUN2	TUN1	TUN0	--00 0000	--uu uuuu		
25	02h*	<b>PCL</b>	compteur de programme: 8 LSB								0000 000	0000 0000		
135	0Ah*	<b>PCLATH</b>	compteur de programme : 5 MSB								---0 0000	---0 0000		
24	8Eh	<b>PCON</b>									POR/	BOD/	---- --0x	---- --uq
20	8Ch	<b>PIE1</b>		ADIE	RCIE	TXIE	SPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000		
22	8Dh	<b>PIE2</b>	OSFIE	CMIE		EEIE					00-0 ----	00-0 ----		
21	0Ch	<b>PIR1</b>		ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000		
23	0Dh	<b>PIR2</b>	OSFIF	CMIF		EEIF					00-0 ----	00-0 ----		
52	05h	<b>PORTA</b>	RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0	xxx0 0000	uuu0 0000		
58	06h	<b>PORTB</b>	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	xxxx xxxx	uuuu uuuu		
80	92h	<b>PR2</b>	registre de période du module Timer2								1111 1111	1111 1111		
105	1Ah	<b>RCREG</b>	registre de réception de l'USART								0000 0000	0000 0000		
98	18h	<b>RCSTA</b>	SPEN	RX9	SREN	CREN	ADEN	FERR	OERR	RX9D	0000 000x	0000 000x		
99	99h	<b>SPBRG</b>	registre du générateur de Baud Rate								0000 0000	0000 0000		
95	93h	<b>SSPADD</b>	registre d'adresse du SP (mode I2C)								0000 0000	0000 0000		

page	adresse	nom	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	valeur à la mise sous tension	autres reset (*)
88	94h	<b>SSPSTAT</b>	SMP	CKE	D/A	P	S	R/W	UA	BF	0000 0000	0000 0000
90	13h	<b>SSPBUF</b>	registre d'émission/réception du SSP								xxxx xxxx	uuuu uuuu
89	14h	<b>SSPCON</b>	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	0000 0000
19	03h*	<b>STATUS</b>	IRP	RP1	RP0	T0/	PD/	Z	DC	C	0001 1xxx	000q quuu
72	10h	<b>T1CON</b>		T1RUN	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNC/	TMR1CS	TMR1ON	-000 0000	-uuu uuuu
80	12h	<b>T2CON</b>		TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000	-uuu uuuu
69	01h	<b>TMR0</b>	registre du module Timer0								xxxx xxxx	uuuu uuuu
77	0Fh	<b>TMR1H</b>	registre du module Timer1: 8 MSB								xxxx xxxx	uuuu uuuu
77	0Eh	<b>TMR1L</b>	registre du module Timer1: 8 LSB								xxxx xxxx	uuuu uuuu
80	11h	<b>TMR2</b>	registre du module Timer2								0000 0000	0000 0000
52	85h	<b>TRISA</b>	TRISA7	TRISA6	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0		
58	86h	<b>TRISB</b>	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0		
103	19h	<b>TXREG</b>	registre de transmission de l'USART								0000 0000	0000 0000
97	98h	<b>TXSTA</b>	CSRC	TX9	TXEN	SYNC		BRGH	TRMT	TX9D	0000 -010	0000 -010
142	105h	<b>WDTCON</b>				WDTPS3	WDTPS2	WDTPS1	WDTPS0	SWDTEN	---0 1000	---0 1000

n'existe pas, est lu comme un zéro

(\*) action sur MCLR/, détection de Brown-Out, dépassement du WDT en fonctionnement normal

\* peuvent être accédés de n'importe quel banc

u = inchangé

x = inconnu

q = dépend du contexte

### Opérations sur des octets

ADDWF	f,d	Add W and f	C, DC, Z
ANDWF	f,d	AND W with f	Z
CLRF	f,d	Clear f	Z
CLRWF		Clear W	Z
COMF	f,d	Complement f	Z
DECF	f,d	Decrement f	Z
DECFSZ	f,d	Decrement f and skip if zero	
INCF	f,d	Increment f	Z
INCFSZ	f,d	Increment f and skip if zero	
IORWF	f,d	Inclusive OR W with f	Z
MOVF	f,d	Move f	Z
MOVWF	f	Move W to f	
NOP		No operation	
RLF	f,d	Rotate left f through Carry	C
RRF	f,d	Rotate right f through Carry	C
SUBWF	f,d	Subtract W from f	C, DC, Z
SWAPF	f,d	Swap nibbles with f	
XORWF	f,d	Exclusive OR W with f	Z

### Opérations sur des bits

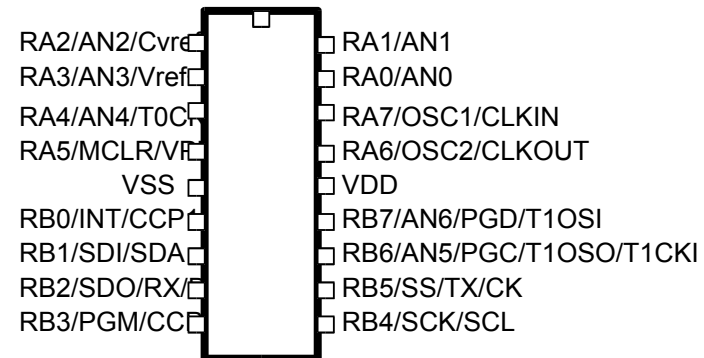
BCF	f,b	Bit clear in f	
BSF	f,b	Bit set in f	
BTFSC	f,b	Bit test in f and skip if clear	
BTFSS	f,b	Bit test in f and skip if set	

### Opérations immédiates et de contrôle

ADDLW	k	Add literal and W	C, DC, Z
ANDLW	k	And literal and W	Z
CALL	k	call subroutine	
CLRWDT		Clear Watchdog Timer	
GOTO	k	Go to address	
IORLW	k	Inclusive OR literal with W	Z
MOVLW	k	Move literal to W	
RETFIE		Return from interrupt	
RETLW	k	Return with literal in W	
RETURN		Return from subroutine	
SLEEP		Go into standby mode	
SUBLW	k	Subtract W from literal	C, DC, Z
XORLW	k	Exclusive OR literal with W	Z

notations :

- f: registre
- d: destination (1=W , 0=f)
- k: valeur immédiate
- b: position du bit dans l'octet



Note: la place de CCP1 est déterminé par CCPMX dans le mot de configuration