

## RAMBUS FLEXIO™ PROCESSOR BUS - THE INDUSTRY'S FASTEST PROCESSOR BUS SOLUTION

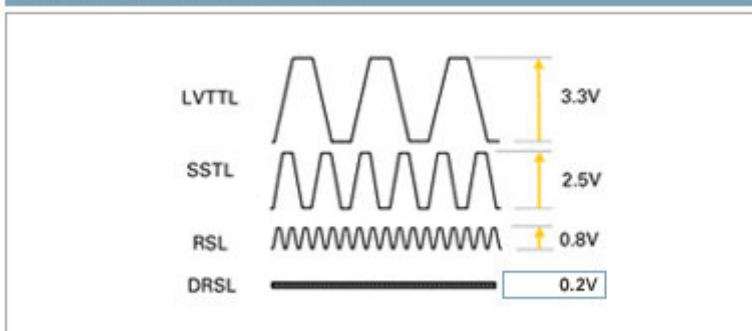


### FlexIO Processor Busses Provide Flexibility, Performance and Savings in System Design!

En plus de la percée significative en terme de bande passante, la technologie de bus FlexIO va apporter une flexibilité, une simplicité mais aussi un gain dans le design des systèmes digitaux grâce à trois grandes innovations :

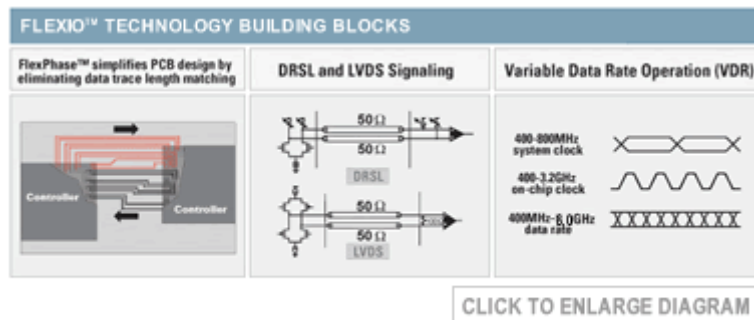
- **FlexPhase** : cette technologie est une évolution majeure par rapport aux technologies traditionnelles des circuits. Dans cette technologie traditionnelle, il est important, du fait que l'on travaille à des fréquences élevées et que le temps de propagation du signal entre composants est de l'ordre de grandeur de la période d'horloge utilisée, de dessiner les bus en conservant une longueur constante sur l'ensemble des pistes pour éviter ainsi le déphasage entre signaux. La technologie FlexPhase permet un alignement précis entre les données et l'horloge et ce pour chaque bit pris individuellement en éliminant ainsi le coût lié au contrainte de timing sur les circuits imprimés. Le résultat dans les systèmes digitaux se traduit par plus de compacité, un plus faible coût et la possibilité de pouvoir travailler sur les bus avec des débits pouvant être cadencés à plusieurs Ghz.
- **DRSL (Differential Rambus Signaling Level) with LVDS (Low Voltage Differential Signaling)** autorise une compatibilité descendante. DRSL est une technologie de signaux différentiels dans des versions uni et bi directionnelles qui offre des performances élevées, une faible consommation une solution à moindre coût pour la transmission des signaux dans et entre les composants. DRSL utilise un signal dont la variation est inférieure à 200mv, permettant ainsi les opérations à faible consommation, déduisant les radiations électromagnétiques et la disponibilité pour les futurs processeurs présentant une alimentation faible. Le support de LVDS assure une compatibilité avec les autres standards industriels tels que HyperTransport, RapidIO...

### ULTRA LOW VOLTAGE SIGNALING



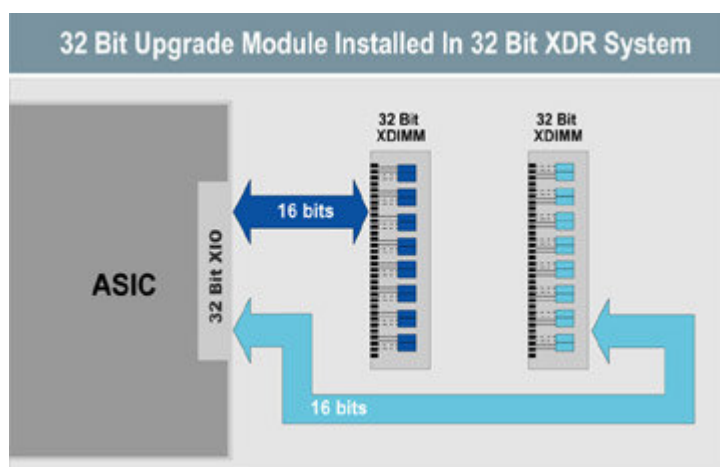
- **Variable Data Rate (VDR)** offre des débits de données de 1 à 10 fois supérieur à la fréquence d'horloge, supportant ainsi une large gamme d'horloges système et de débits de données dans des gammes allant de 400 Mhz jusque 8.0Ghz.

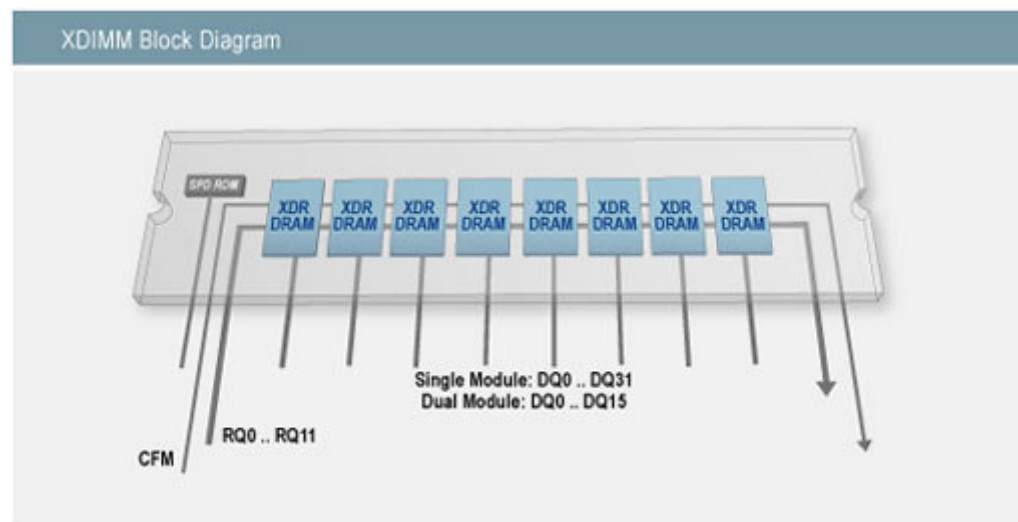
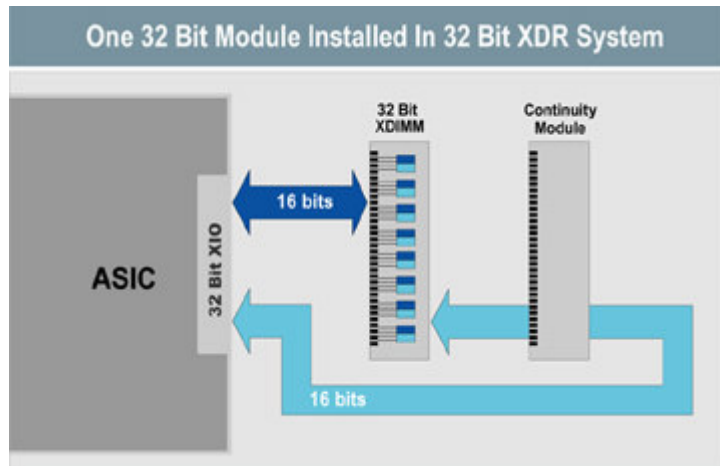
L'horloge à 400Mhz est routée sur le circuit imprimé entre les différents composants. Dans le composant, l'horloge à 400Mhz est multipliée par 4 avec un PLL. L'horloge effective à 1.6Ghz est ensuite utilisée pour transmettre et recevoir les données sur les deux flancs d'horloge permettant d'atteindre ainsi un débit de données cadencé à 3.2Ghz. Ce rapport de 1 pour 8 permet ainsi de pouvoir transférer 8 bits de données par cycle d'horloge. Nous parlons alors de ODR pour Octal Data Rate.



La technologie DPP (Dynamic Point to Point Technology).

L'approche traditionnelle des mémoires principales nécessite une topologie avec de multiples raccords (en général plus d'un composant par signal de donnée) pour supporter la mise à jour de modules. Les modules XDIMM utilisent une technologie appelée Dynamic Point-to-Point technology, (DPP), pour maintenir l'intégrité du signal dans une topologie point à point tout en apportant une flexibilité dans la capacité d'extension avec des mises à jour de modules. Avec la technologie DPP, un sous système mémoire comprenant une largeur de bus de données fixe peut être équipé avec un simple module ou de multiple module tout en conservant une notion d'accès aux modules en point à point (un seul composant par signal). Par exemple, un simple module XDIMM peut couvrir la totalité du bus de données tandis qu'il s'adaptera et ne couvrira plus que la moitié du bus de données lorsque un deuxième module sera ajouté lors d'une mise à jour. Cette possibilité permet de conserver l'intégrité du signal et les performances électriques tout en autorisant la mise à jour et les mémoires de grande capacité.

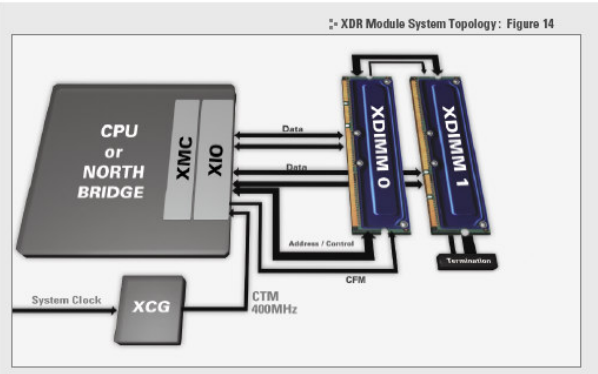
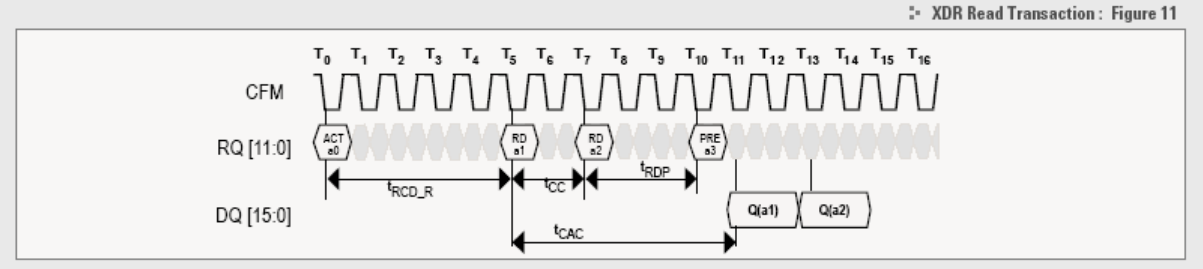
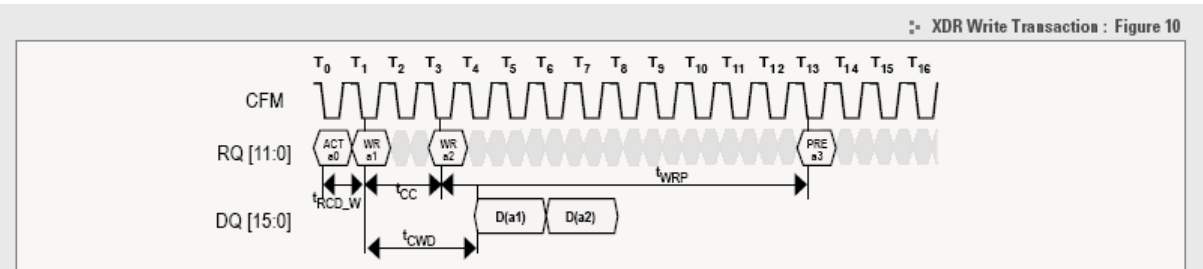
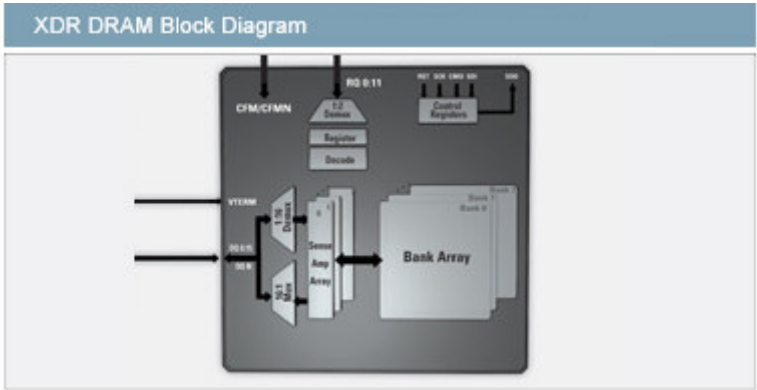




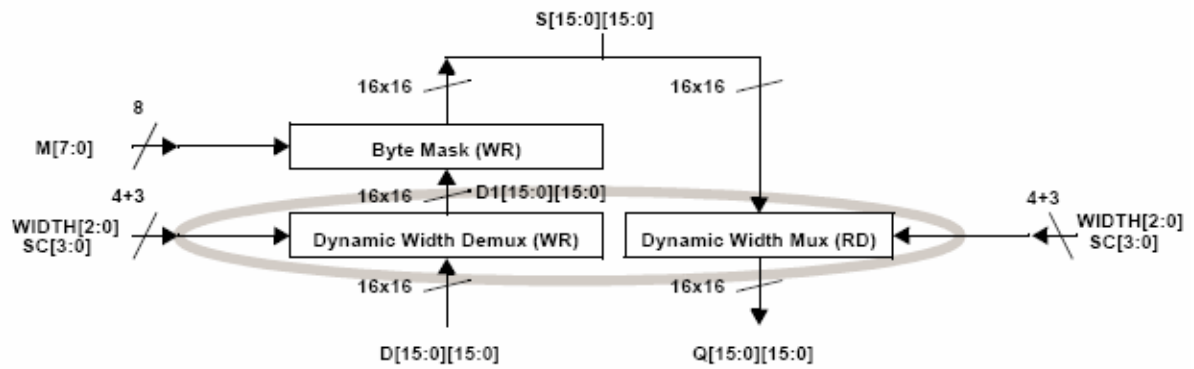
Nous pouvons retrouver jusque 36 boîtiers XDR par canal, ce qui, dans le cas d'une configuration avec deux modules XDIMM nous permettrait d'atteindre un nombre de 18 boîtiers XDR par module. La taille maximale d'un boîtier est de 8GB ce qui nous permet d'envisager une capacité mémoire maximale de  $36 \times 8\text{GB} = 288\text{GB}$ . L'intérêt de cette technologie est que chaque boîtier XDR peut voir sa largeur de bus programmé en fonction des besoins. Exemple : si nous travaillons avec 16 boîtiers, chacun d'eux peut fournir 2 bits pour fournir alors les 32 bit nécessaires au bus de données. Si nous prenons les mêmes boîtiers mais que nous n'en plaçons que 8 par module, chaque boîtier pourra alors être configuré pour 4 bits, permettant alors de couvrir les 32 bit.

Le bus de données utilise une technologie DRSL qui peut travailler avec un débit de données cadencé de 3.2 jusque 6.4Ghz en utilisant une technologie de dessin de carte mère conventionnelle. Une mémoire typique XDR DRAM x16 peut prétendre travailler dans une gamme de vitesse de transfert allant de 6.4 jusque 12.8GB/sec.

En effet, si nous partons d'un générateur d'horloge à 400Mhz (CTM), la fréquence de l'horloge est multipliée par un facteur de 4, ce qui nous donne une horloge de 1.6Gz. Les transferts étant assurés sur le flanc montant et sur le flanc descendant de l'horloge, nous pouvons admettre que la fréquence équivalente est de 3.2Ghz. Un boîtier XDR DRAM x16 est capable de fournir une donnée sur 16 bits, c à d deux octets, ce qui nous permet d'atteindre un débit en rafale de 6.4GB/sec.



Le composant mémoire XDR DRAM inclut un dispositif appelé contrôle de largeur. Cela permet à un composant d'être configuré de sorte que les données puissent être écrites ou lues au moyen des bornes DQ dont la largeur est variable. Si nous envisageons un composant mémoire XDR DRAM ayant une organisation de 16M x 16 bits (256Mb), nous pouvons envisager que l'accès à ce composant se fasse avec un bus de données de 1, 2, 4, 8 ou 16 bits.



La largeur est configurée en utilisant le champ WIDTH[2 :0] du registre CFG. Si nous considérons une mémoire XDR DRAM x16, nous retrouvons au niveau des colonnes une organisation de 16 bits que l'on retrouve sous la forme des signaux S[15 :0] et c'est un démultiplexage dynamique qui va permettre la gestion du bus.

WIDTH[2 :0] 000 permet de choisir l'organisation des données en entrées/sorties au niveau largeur.

Pour un composant XDR DRAM x 16, nous aurons les possibilités de configuration suivantes :

WIDTH[2 :0] 000 permet d'avoir une largeur du bus de données de 1 seul bit

WIDTH[2 :0] 001 permet d'avoir une largeur du bus de données de 2 bits

WIDTH[2 :0] 010 permet d'avoir une largeur du bus de données de 4 bits

WIDTH[2 :0] 011 permet d'avoir une largeur du bus de données de 8 bits

WIDTH[2 :0] 100 permet d'avoir une largeur du bus de données de 16 bits

Le fait que la largeur de bus interne garde sa largeur, il va falloir choisir quels sont les signaux parmi S[15 :0] que l'on va placer en sortie dans le cas par exemple d'un cycle de lecture.

C'est le champ SC[3 :0] des paquets de requête de colonne COL qui permettra cette sélection. Sans vouloir reprendre toutes les configurations possibles, nous nous limiterons à quelques exemples pour chaque valeur de largeur programmée.

WIDTH[2 :0] 000 et SC[3 :0] 1111 permet de choisir S[15]

WIDTH[2 :0] 001 et SC[3 :0] 100x permet de choisir S[9 :8]

WIDTH[2 :0] 010 et SC[3 :0] 10xx permet de choisir S[11 :8]

WIDTH[2 :0] 011 et SC[3 :0] 1xxx permet de choisir S[15 :8]